

Reihe 20

Rechnerunter-  
stützte Verfahren

Nr. 472

Dipl.-Ing. Steve Bigalke,  
Dresden

## Erhöhung der Elektro- migrationsrobustheit in der Verdrahtung digitaler Schaltungen



Technische Universität Dresden  
Institut für Feinwerktechnik  
und Elektronik-Design  
Institutsdirektor Prof. Dr.-Ing. habil. Jens Lienig

**ifte**

<https://doi.org/10.51202/vdi3186472205-1>

Generiert durch IP '18.217.158.214', am 24.04.2024, 10:39:35  
Das Erstellen und Weitergeben von Kopien dieses PDFs ist nicht zulässig.



Technische Universität Dresden

# **Erhöhung der Elektromigrationsrobustheit in der Verdrahtung digitaler Schaltungen**

Dipl.-Ing.

**Steve Bigalke**

der Fakultät Elektrotechnik und Informationstechnik  
der Technischen Universität Dresden

zur Erlangung des akademischen Grades eines

**Doktoringenieurs**

(Dr.-Ing.)

genehmigte Dissertation

Vorsitzender: Prof. Dr.-Ing. Steffen Großmann      Tag der Einreichung: 10.09.2019

Gutachter: Prof. Dr.-Ing. habil. Jens Lienig      Tag der Verteidigung: 12.12.2019

Gutachter: Apl. Prof. Dr.-Ing. habil. Helmut Gräß

Gutachter: Prof. Dr.-Ing. habil. Thomas Zerna



# Fortschritt-Berichte VDI

Reihe 20

Rechnerunterstützte  
Verfahren

Dipl.-Ing. Steve Bigalke,  
Dresden

Nr. 472

Erhöhung der Elektro-  
migrationsrobustheit  
in der Verdrahtung  
digitaler Schaltungen



Technische Universität Dresden  
Institut für Feinwerktechnik  
und Elektronik-Design  
Institutsdirektor Prof. Dr.-Ing. habil. Jens Lienig

**ifte**

Bigalke, Steve

## **Erhöhung der Elektromigrationsrobustheit in der Verdrahtung digitaler Schaltungen**

Fortschr.-Ber. VDI Reihe 20 Nr. 472. Düsseldorf: VDI Verlag 2020.

176 Seiten, 84 Bilder, 19 Tabellen.

ISBN 978-3-18-347220-8, ISSN 0178-9473,

€ 62,00/VDI-Mitgliederpreis € 55,80.

**Für die Dokumentation:** Entwurfsautomatisierung – Zuverlässigkeit – Layoutentwurf – Elektromigration – Verdrahtung

Studien zur zukünftigen IC-Entwicklung sagen einvernehmlich voraus, dass die Zuverlässigkeit zukünftiger integrierter Schaltungen (ICs) stark durch das Auftreten von Elektromigration (EM) gefährdet ist. Ursache ist die anhaltende Strukturverkleinerung im IC, welche nicht nur zur Erhöhung der EM-Gefahr, sondern auch zur gleichzeitigen Abnahme der EM-Grenzwerte führt. Digitale Schaltungen sind auch gefährdet, da sie bisher bei der EM-Berücksichtigung vernachlässigt wurden, sodass geeignete Gegenmaßnahmen fehlen. Aus diesem Grund muss ein Paradigmenwechsel im Layoutentwurf vollzogen werden, welcher das traditionell nach der Layouterstellung stattfindende Verifizieren der EM-Robustheit durch einen proaktiven EM-robusten Layoutentwurf ersetzt. Ziel dieser Arbeit ist es, die dafür notwendigen Neuentwicklungen in der Verdrahtung digitaler Schaltungen vorzustellen. Das umfasst den Aufbau eines EM-Modells, ein daraus Ableiten von EM-Maßnahmen und ein Berücksichtigen dieser Gegenmaßnahmen in einer EM-robusten Verdrahtung.

### **Bibliographische Information der Deutschen Bibliothek**

Die Deutsche Bibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliographie; detaillierte bibliographische Daten sind im Internet unter [www.dnb.de](http://www.dnb.de) abrufbar.

### **Bibliographic information published by the Deutsche Bibliothek**

(German National Library)

The Deutsche Bibliothek lists this publication in the Deutsche Nationalbibliographie (German National Bibliography); detailed bibliographic data is available via Internet at [www.dnb.de](http://www.dnb.de).

© VDI Verlag GmbH · Düsseldorf 2020

Alle Rechte, auch das des auszugsweisen Nachdruckes, der auszugsweisen oder vollständigen Wiedergabe (Fotokopie, Mikrokopie), der Speicherung in Datenverarbeitungsanlagen, im Internet und das der Übersetzung, vorbehalten.

Als Manuskript gedruckt. Printed in Germany.

ISSN 0178-9473

ISBN 978-3-18-347220-8

<https://doi.org/10.51202/9783186472205-1>

Generiert durch IP '18.217.158.214', am 24.04.2024, 10:39:35.

Das Erstellen und Weitergeben von Kopien dieses PDFs ist nicht zulässig.

---

# Danksagung

---

Diese Dissertation enthält meine Forschungsarbeit der letzten Jahre, auf welche ich stets mit großer Freude zurückblicken werde.

Ich danke herzlichst meinem Mentor, Prof. Dr.-Ing habil. Jens Lienig, für seine Betreuung und für sein Vertrauen in mich. Keine meiner Forschungsziele wären ohne seine Hilfe erreichbar gewesen. Er war es auch, der mein Interesse für die Entwurfsautomatisierung durch seine Vorlesung weckte und mir letztendlich die Chance gab, diesem Interesse in Form meiner Dissertation Ausdruck zu verleihen. Für die Erstellung eines Gutachtens und vor allem für die hilfreichen Hinweise zur Arbeit danke ich apl. Prof. Dr.-Ing. habil. Helmut Gräß. Mein ausgesprochener Dank gilt auch allen Beteiligten des Prüfungsverfahrens für ihre Bemühungen und Zeit, die sie in diese Arbeit investiert haben.

Ich möchte mich auch herzlichst bei allen Mitarbeitern des Instituts für Feinwerktechnik und Elektronik-Design (IFTE) und des Graduiertenkollegs (GRK 1401) bedanken, welche mich in den letzten Jahren begleitet haben. Ein ganz besonderer Dank gilt hierbei meinem langjährigen Zimmerkollegen, Andreas Krinke, mit dem ich jede konstruktive Diskussion genossen habe.

Meiner Familie danke ich im Besonderen für ihre außergewöhnliche Unterstützung, welche diese Arbeit überhaupt erst ermöglicht hat. Sie standen mir stets mit Rat und Tat zur Seite, wofür ich ihnen sehr dankbar bin.

Nicht zuletzt möchte ich mich noch von ganzem Herzen bei einem sehr besonderen Menschen, Maria Gehlhar, bedanken, die ich nicht nur für ihre Geduld und Hilfe unendlich liebe, sondern auch für ihre Persönlichkeit unvorstellbar schätze. Sie war es auch, die uns einen ebenso wundervollen wie lieben Sohn (Löwen) geschenkt hat, welcher mich stets mit einem breiten Lächeln (und manchmal mit etwas Brei im Gesicht) unbeschreiblich motiviert hat. Als Zeichen meiner Dankbarkeit und meiner Liebe möchte ich Euch diese Arbeit widmen.





---

# Inhaltsverzeichnis

---

<b>Abkürzungsverzeichnis</b>	<b>IX</b>
<b>Symbolverzeichnis</b>	<b>X</b>
<b>Kurzfassung</b>	<b>XIII</b>
<b>Abstract</b>	<b>XIV</b>
<b>1 Einleitung und Motivation</b>	<b>1</b>
1.1 Trend zur Verkleinerung der IC-Strukturen . . . . .	1
1.2 EM-Bedrohung für die Zuverlässigkeit der Leiterbahnen . . . . .	3
1.3 Kompensation der EM in den Leiterbahnen . . . . .	5
<b>2 EM-Berücksichtigung im Layoutentwurf</b>	<b>8</b>
2.1 Beschreibung der EM . . . . .	8
2.1.1 Kräfte am Atom . . . . .	8
2.1.2 Migration entlang von Pfaden . . . . .	9
2.1.3 Beschreibung des Teilchenflusses . . . . .	11
2.1.4 Bezug zur Diffusionsgleichung . . . . .	11
2.1.5 Entstehung von EM-induziertem Stress . . . . .	12
2.1.6 Weitere Abhängigkeiten und Einflussfaktoren der EM . . . . .	15
2.1.7 Bedeutung des Herstellungsverfahrens . . . . .	17
2.2 Auftreten von EM in Signalnetzen . . . . .	19
2.2.1 Modell der Selbstheilung . . . . .	20
2.2.2 Frequenzabhängigkeit . . . . .	21
2.2.3 Lage der Fehlstellen . . . . .	21
2.3 EM-Modelle für Verdrahtungsstrukturen . . . . .	22

2.3.1	Unterschiede zwischen den Modellen . . . . .	22
2.3.2	Abschätzung der mittleren Lebensdauer . . . . .	23
2.3.3	EM-Kompensation beim Blech-Effekt . . . . .	25
2.3.4	Berechnung der Stressentwicklung . . . . .	27
2.3.5	Nummerische Lösung mittels FEM . . . . .	28
2.4	Bekannte Maßnahmen zur Reduzierung der EM . . . . .	29
2.4.1	Einsatz neuer Werkstoffe . . . . .	29
2.4.2	Einbringung von Reservoirien . . . . .	30
2.4.3	Ausnutzung des Blech-Effektes . . . . .	31
2.4.4	Einbringung von Vias . . . . .	31
2.4.5	Verbreiterung der Leiterbahnen . . . . .	33
2.4.6	Ausnutzung des Bambuseffektes . . . . .	33
2.4.7	Reduzierung der Temperatur . . . . .	33
2.5	Ansätze zur EM-robusten Verdrahtung . . . . .	34
2.5.1	Ablauf einer Verdrahtung von Signalnetzen . . . . .	34
2.5.2	Berücksichtigung von EM bei der Verdrahtung . . . . .	38
<b>3</b>	<b>Zielstellung der Arbeit</b>	<b>39</b>
<b>4</b>	<b>EM-Modellierung von digitalen Verdrahtungsstrukturen</b>	<b>43</b>
4.1	Anforderung an die Modellierung . . . . .	43
4.2	Aufbau einer FEM-Untersuchung für digitale Verdrahtungsstrukturen .	44
4.2.1	Integrierung in den Entwurfsablauf . . . . .	44
4.2.2	Diskretisierung der Leiterbahnen . . . . .	46
4.2.3	Einbringung der Randbedingungen . . . . .	51
4.2.4	Implementierung des Ablaufes . . . . .	52
4.2.5	Verifikation des Modells . . . . .	53
4.2.6	Stressergebnisse im Layout . . . . .	57
4.3	Entwicklung einer EM-Analyse für den Layoutentwurf . . . . .	63
4.3.1	Abschätzung der Ströme . . . . .	63
4.3.2	Abbildung von Verdrahtungsstrukturen . . . . .	65
4.3.3	Verifikation der Layoutanalyse . . . . .	67
4.3.4	Laufzeitergebnisse im Layout . . . . .	69
4.4	Zusammenfassung . . . . .	70

<b>5</b>	<b>Maßnahmen zur EM-Vermeidung</b>	<b>71</b>
5.1	Einordnung der Maßnahmen	72
5.2	Änderung der Netzreihenfolge	72
5.2.1	Ansatz	72
5.2.2	Ergebnisse	74
5.3	Verbesserung der Netztopologie	75
5.3.1	Ansatz	75
5.3.2	Ergebnisse	77
5.4	Einbringung von Reservoirien	78
5.4.1	Lage	78
5.4.2	Länge	80
5.4.3	Ergebnisse	82
5.5	Einsatz von redundanten Vias	84
5.5.1	Ansatz	84
5.5.2	Ablauf	85
5.5.3	Ergebnisse	89
5.6	Begrenzung der Leiterbahnlänge	91
5.6.1	Ansatz	91
5.6.2	Ergebnisse	92
5.7	Verbreiterung des Leiterbahnquerschnittes	93
5.7.1	Ansatz	93
5.7.2	Ergebnisse	95
5.8	Ausnutzung von Via-Below-Konfigurationen	97
5.9	Einbringung von Lower-Lead-Konfigurationen	98
5.10	Zusammenfassung	99
<b>6</b>	<b>EM-robuste Verdrahtung</b>	<b>100</b>
6.1	Schritte der EM-robusten Verdrahtung	101
6.2	Aufbau einer EM-robusten Detailverdrahtung	102
6.2.1	Auswahl des Verdrahtungskonzeptes	103
6.2.2	Ermittlung der Verdrahtungsressourcen	103
6.2.3	Abbildung des Detailverdrahtungsgraphen	104
6.2.4	Zuweisung und Reservierung von Knoten	107

6.2.5	Wegsuche mit dem A*-Algorithmus .....	108
6.2.6	Lösen von Verdrahtungskonflikten .....	109
6.3	Integrierung der EM-Maßnahmen in die Detailverdrahtung .....	110
6.3.1	Änderung der Netzreihenfolge .....	110
6.3.2	Verbesserung der Netztopologie .....	111
6.3.3	Begrenzung der Leiterbahnlänge .....	112
6.3.4	Verbreiterung des Leiterbahnquerschnittes .....	113
6.3.5	Einbringung von Reservoirien .....	114
6.3.6	Einsatz von redundanten Vias .....	116
6.4	Benchmarks zum Nachweis der EM-Kompensation .....	116
6.4.1	Verdrahtung von Signalnetzen .....	117
6.4.2	Einsatz von redundanten Vias .....	119
6.5	Ergebnisse der EM-robusten Detailverdrahtung .....	120
6.5.1	Änderung der Netzreihenfolge .....	121
6.5.2	Verbesserung der Netztopologie .....	122
6.5.3	Begrenzung der Leiterbahnlänge .....	125
6.5.4	Verbreiterung des Leiterbahnquerschnittes .....	127
6.5.5	Einbringung von Reservoirien .....	130
6.5.6	Einsatz von redundanten Vias .....	133
6.5.7	Bewertung der Ergebnisse .....	136
6.6	Zusammenfassung .....	137
<b>7</b>	<b>Gesamtzusammenfassung, Schlussfolgerung und Ausblick</b>	<b>138</b>
7.1	Gesamtzusammenfassung und Schlussfolgerung .....	138
7.2	Ausblick .....	141
	<b>Glossar</b>	<b>143</b>
	<b>Index</b>	<b>145</b>
	<b>Literatur</b>	<b>147</b>

---

# Abkürzungsverzeichnis

---

<b>Abk.</b>	<b>Bedeutung</b>
CD	Chemische Diffusion
CMP	Chemisch-mechanisches Polieren
CTE	Thermischer Ausdehnungskoeffizient
DP	Damaszene-Prozess
DDP	Dual-Damaszene-Prozess
EM	Elektromigration
FE	Finite-Elemente
FEM	Finite-Elemente-Methode
GCell	Globale Zelle
IC	Integrierte Schaltung
ILD	Dielektrische Zwischenschicht
ILP	Ganzzahlige lineare Optimierung
IRDS	International Roadmap for Devices and Systems
ITRS	International Technology Roadmap for Semiconductors
LE	Längeneinheit
MTTF	Mittlere Lebensdauer
PDK	Prozess-Design-Kit
SM	Stressmigration
TM	Thermomigration

---

# Symbolverzeichnis

---

Symbol	Bedeutung	Einheit
$A$	Fläche	$\text{m}^2$
$a$	Materialparameter	-
$\alpha_\rho$	Temperaturkoeffizient	$\Omega\text{m}/\text{K}$
$AV$	Aspekt-Verhältnis	-
$B$	Kompressionsmodul	Pa
$\beta$	Betafaktor	$\text{V s m}^{-2}$
$C$	Kapazität	F
$c$	Konzentration	$\text{s}^{-3}$
$D$	Diffusionskoeffizient	$\text{m}^2 \text{s}^{-1}$
$d$	Dicke	m
$D_0$	Diffusionskonstante	$\text{m}^2 \text{s}^{-1}$
$\vec{E}$	Elektrische Feldstärke	$\text{V m}^{-1}$
$e$	Elementarladung	A s
$E_a$	Aktivierungsenergie	eV
$\vec{F}_E$	Elektrische Feldkraft	N
$\vec{F}_{EM}$	Elektromigrationskraft	N
$f(K)$	Kostenfunktion	-
$f$	Frequenz	Hz
$\vec{F}_W$	Elektronenwindkraft	N
$G$	Generierungs- und Zerstörungsprozess	s
$g$	Gewicht	-
$g(K)$	Wegkosten	-
$h(K)$	Restkosten	-
$i$	Strom	A

Symbol	Bedeutung	Einheit
$i_S$	Schaltstrom	A
$i_V$	Verluststrom	A
$\vec{J}$	Teilchenstromdichte	$\text{m}^{-2} \text{s}^{-1}$
$\vec{j}$	Stromdichte	$\text{A m}^{-2}$
$j_{\text{acr}}$	Stromdichteerholungswert	$\text{A m}^{-2}$
$K$	Knoten	-
$k$	Boltzmann-Konstante	$\text{J K}^{-1}$
$l$	Länge	m
$l_B$	Blech-Länge	m
$m$	Laufindex	-
MTTF	Mittlere Lebensdauer	s
$n$	Stromdichteexponent	-
$n_{\text{Vias}}$	Viaanzahl	-
$\Omega$	Atomvolumen	m
$\rho$	Spezifischer elektrischer Widerstand	$\Omega\text{m}$
$P_{\text{Blech}}$	Blech-Produkt	$\text{A m}^{-1}$
$\phi$	Elektrisches Potential	V
$Q$	Ladung	F
$Q^*$	Transportwärme	J
$R$	Widerstand	$\Omega$
$r$	Wiederherstellungsfaktor	-
$r_S$	Rangkorrelationskoeffizient	-
$\sigma$	Stress	Pa
$\sigma_D$	Druckstress	Pa
$\sigma_R$	Reststress	Pa
$\sigma_Z$	Zugstress	Pa
$T$	Temperatur	K
$t$	Zeit	s
$U$	Spannung	V
$\vec{v}$	Drift-Geschwindigkeit	$\text{m s}^{-1}$
$V$	Vergleichsspannung	$\text{A m}^{-1}$

<b>Symbol</b>	<b>Bedeutung</b>	<b>Einheit</b>
$VL$	Verdrahtungslänge	m
$V_g$	Grundvergleichsspannung	$A\ m^{-1}$
$VB$	Via-Belastung	-
$x$	Eindimensionale Richtung	m
$Z^*$	Effektive Ladungszahl	-
$z$	Zielfunktion	-



---

## Kurzfassung

---

Studien zur zukünftigen IC-Entwicklung ([IRDS], [ITRS] u.a.) sagen einvernehmlich voraus, dass die Zuverlässigkeit zukünftiger integrierter Schaltungen (ICs) stark durch das Auftreten von Elektromigration (EM) gefährdet ist. Ursache für die steigende Anzahl an EM-Schädigungen sind die anhaltenden Strukturverkleinerungen im IC, welche nicht nur zur Erhöhung der EM-Gefahr, sondern auch zur gleichzeitigen Abnahme der Grenzwerte führen. Auch gefährdet sind die digitalen Schaltungen, welche bisher bei der Berücksichtigung der EM vernachlässigt wurden, sodass geeigneten EM-Maßnahmen fehlen. Aus diesem Grund muss hier ein Paradigmenwechsel im Layoutentwurf vollzogen werden, welcher das traditionell nach der Layouterstellung stattfindende Verifizieren der EM-Robustheit durch einen proaktiven EM-robusten Layoutentwurf ersetzt. Ziel dieser Arbeit ist es, die dafür notwendigen Anpassungen und Neuentwicklungen in der Verdrahtung digitaler Schaltungen vorzustellen. Das umfasst den Aufbau eines EM-Modells für Verbindungsstrukturen, ein daraus Ableiten von EM-Maßnahmen und ein Berücksichtigen dieser Gegenmaßnahmen in einer EM-robusten Verdrahtung. Damit erbringt diese Arbeit einen wichtigen Beitrag zur Erhöhung der EM-Robustheit im Layout, sodass zukünftig die Zuverlässigkeit auch digitaler ICs weiterhin gewährleistet wird.

---

## Abstract

---

Studies on future IC development ([IRDS], [ITRS] u.a.) mutually predict that the reliability of future integrated circuits (ICs) will be severely endangered by the occurrence of electromigration (EM). The reason for the increasing number of EM damages are the ongoing structural reductions in the IC, which not only lead to an increase in the EM hazard but also to a simultaneous decrease in the threshold values. Digital circuits are particularly at risk because they have been neglected in the consideration of EM, resulting in a lack of suitable EM measures. For this reason, a paradigm shift in physical design must be accomplished, replacing the traditional EM verification step after layout creation with a proactive EM-robust physical synthesis. The aim of this work is to present the necessary adaptations and new developments in the routing of digital circuits. This includes the development of an EM model for interconnect structures, the derivation of EM measures and the consideration of these countermeasures in an EM robust routing process. This work thus makes an important contribution to increase the EM robustness in a layout, thereby ensuring the reliability of future ICs.